

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020010097057 A
(43) Date of publication of application: 08.11.2001

(21) Application number: 1020000020807

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 19.04.2000

(72) Inventor:

HUH, MYEONG GU
KIM, CHI U
KONG, HANG SIK

(30) Priority: ..

(51) Int. Cl

G02F 1/136

(54) CONTACT STRUCTURE OF WIRING, METHOD FOR MANUFACTURING THE SAME, TFT SUBSTRATE INCLUDING THE SAME, AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A contact structure of wiring, a method for manufacturing the same, a TFT substrate including the same, and a manufacturing method thereof are provided to minimize a signal delay phenomenon by forming a wiring contact structure with a low resistance material. CONSTITUTION: A gate wiring including a gate line(22), a gate pad(24), and a gate electrode(26) is formed on an insulating substrate. The gate wiring(22,24,26) is covered by a gate insulating layer. The gate insulating layer includes a protective layer and a contact hole(74). A semiconductor layer(40) is formed on the gate insulating layer. A resistive contact layers are formed on the semiconductor layer(40). A data wiring including a data line, a source electrode, a drain electrode(66), and a data pad(68) is formed on the resistive contact layer and the gate insulating layer. The protective layer is formed on the semiconductor layer(40). Contact holes (74,76,78) is formed on the protective layer. A pixel electrode(82), an auxiliary gate pad(86), and an auxiliary data pad(88) are formed on the protective layer.

copyright KIPO 2002

Legal Status

Date of request for an examination (20000419)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20021129)

Patent registration number (1003667680000)

Date of registration (20021217)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. 7
 G02F 1/136

(11) 공개번호 특2001-0097057
 (43) 공개일자 2001년 11월 08일

(21) 출원번호	10-2000-0020807
(22) 출원일자	2000년 04월 19일
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	공항식 경기도 수원시 팔달구 영통동 벽적골 삼성아파트 921동 1003호 허명구 경기도 용인시 기흥읍 농서리 산 24번지 김치우
(74) 대리인	서울특별시 서초구 서초4동 1685 삼풍아파트 18동 105호 유미특허법인(대표변리사 김원호 송만호), 김원근

설사첨구 : 있음

(54) 발명의 접촉 구조 및 그의 제조 방법과 이를 포함하는 반막 트랜지스터 기판 및 그 제조 방법

요약

먼저, 알루미늄 계열의 도전 물질을 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 질화 규소를 적층하여 형성하고, 그 상부에 반도체를 및 저항 접촉층을 차례로 형성한다. 이어, 크롬 등의 금속을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드 표면의 반응층을 각각 드러내는 접촉 구멍을 형성한다. 이어 20를 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 전기적으로 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

기교도

도 1

작면이

알루미늄, IZO, 접촉 저항, 반응층

망상식

도면의 관용화 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 반막 트랜지스터 기판이고,

도 2는 도 1에 도시한 반막 트랜지스터 기판을 II-II 선을 따라 절라 도시한 단면도이고,

도 3a, 4a, 5a 및 6a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 반막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 반막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 절라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 절라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 절라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 반막 트랜지스터 기판의 배치도이고,

도 8 및 도 9는 도 7에 도시한 반막 트랜지스터 기판을 VII-VII' 선 및 IX-IX' 선을 따라 절라 도시한 단면도이고,

도 10a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 반막 트랜지스터 기판의 배치도이고,

도 10b 및 10c는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선을 따라 절라 도시한 단면도이며, 도 11a 및 11b는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선을 따라 절라 도시한 단면도로서, 도 10b 및 도 10c 다음 단계에서의 단면도이고, 도 12a는 도 11a 및 11b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고, 도 12b 및 12c는 각각 도 12a에서 XIIIB-XIIb' 선 및 XIIIC-XIIc' 선을 따라 절라 도시한 단면도이며, 도 13a, 14a, 15a와 도 13b, 14b, 15b는 각각 도 12a에서 XIIIB-XIIb' 선 및 XIIIC-XIIc' 선을 따라 절라 도시한 단면도로서 도 12b 및 12c 다음 단계들을 공정 순서에 따라 도시한 것이고, 도 16a 및 도 16b는 도 15a 및 15b 다음 단계에서의 박막 트랜지스터 기판의 단면도이고, 도 17a는 도 16a 및 도 16b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고, 도 17b 및 17c는 각각 도 17a에서 XVIIIB-XVIIb' 선 및 XVIIIC-XVIIc' 선을 따라 절라 도시한 단면도이다.

발명의 실질과 성질

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 배선의 접촉 구조 및 그 제조 방법, 이를 포함하는 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

일반적으로 반도체 장치에서 배선은 신호가 전달되는 수단으로 사용되므로 신호 지연을 최소화하는 것이 요구된다.

이때, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 금속 를질, 특히 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 알루미늄 계열의 금속 를질을 사용하는 것이 일반적이다. 그러나, 알루미늄 계열의 배선은 물리적 또는 화학적인 특성이 약하기 때문에 접촉부에서 다른 도전 를질과 연결될 때 부식이 발생하여 반도체 소자의 특성을 저하시키는 문제점을 가지고 있다. 특히, 액정 표시 장치에서와 같이 패드부에서 ITO(indium tin oxide)를 사용하여 알루미늄을 보강하는 경우 알루미늄 또는 알루미늄 합금과 ITO의 접촉 특성이 좋지 않아 다른 금속을 개재할 수 있으나, 다른 배선을 형성하기 위해서는 서로 다른 쟁각액이 필요할 뿐 아니라 여러 번의 쟁각 공정이 필요하게 되어 제조 공정이 복잡해진다.

한편, 액정 표시 장치를 제조 방법 중에서, 빅막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 산전 쟁각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 저저항 를질로 이루어진 동시에 저저항의 접촉 특성을 가지는 배선의 접촉 구조 및 그 제조 방법을 제공하는 것이다.

본 발명의 다른 과제는 무수한 접촉 특성을 가지는 배선의 접촉 구조를 포함하는 박막 트랜지스터 기판 및 그 제조 방법을 제조하는 방법을 제공하는 것이다.

또한, 본 발명의 다른 과제는 박막 트랜지스터 기판의 제조 방법을 단순화하는 것이다.

발명의 구성 및 작용

이러한 문제점을 해결하기 위하여 본 발명에서는 알루미늄 계열의 금속으로 이루어진 배선과 연결되는 도전막을 IZO(indium zinc oxide)로 형성한다.

본 발명에 따른 배선의 접촉 구조 형성 방법에서는, 우선 기판 상부에 알루미늄 계열의 금속으로 배선을 형성하고, 배선을 덮는 절연막을 적층한다. 이어, 절연막을 패터닝하여 배선의 상부에 드러내는 접촉 구멍을 형성하고, 배선과 전기적으로 연결되는 도전층을 IZO로 형성한다.

이때, 절연막은 절화 규소를 사용할 수 있으며, 280-400°C 이상의 온도에서 5-40분 범위의 시간 동안 어닐링(annealing) 공정이 포함되도록 적층하는 것이 바람직하다.

이러한 배선의 접촉 구조 및 그 형성 방법은 박막 트랜지스터 기판의 제조 방법에도 적용할 수 있다.

우선, 알루미늄 계열의 금속막으로 게이트 패드를 포함하는 게이트 배선을 형성하고, 이를 덮는 게이트 절연막을 형성한다. 이어, 반도체층 및 데이터 배선을 형성하고, 절연막을 패터닝하여 게이트 패드를 드러내는 접촉 구멍을 형성한다. 이어, 접촉 구멍을 통하여 게이트 패드와 연결되는 도전층을 IZO로 형성한다.

이때, 절연막은 절화 규소로 형성하는 것이 좋으며, 280-400°C 이상의 온도 범위에서 5-40분 범위의 시간 동안 적층하는 것이 바람직하다.

다음 상세하게는, 절연 기판 위에 알루미늄 계열의 금속막을 적층하고 패터닝하여 게이트선, 게이트 선에 연결되어 있는 게이트 전극, 및 외부로부터 주사 신호 또는 게이트 신호를 전달받아 게이트에 전달하는 게이트 패드를 포함하는 게이트 배선을 형성하고, 게이트 절연막을 적층한다. 이어, 게이트 절연막 상부에 반도체층을 형성하고, 그 상부에 도전 를질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 데이터

선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고, 패터닝하여 게이트 패드를 드러내는 제1 접촉 구멍을 형성하고, 보호막 상부에 제1 접촉 구멍을 통하여 게이트 패드와 전기적으로 연결되는 보조 게이트 패드를 포함하는 도전층 패턴을 형성한다.

여기서, 게이트 절연막 또는 보호막 적층 단계는 280~400°C 이상의 범위에서 실시하는 것이 바람직하며, 질화 규소로 형성할 수 있다.

도전층 패턴은 IZO로 형성할 수 있다.

여기서, 데이터 배선은 외부로부터 영상 신호를 전달받아 데이터선으로 전달하는 데이터 패드를 더 포함하며, 보호막은 드레인 전극 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 보조 게이트 패드와 동일한 층에 제2 및 제3 접촉 구멍을 통하여 드레인 전극 및 데이터 패드와 전기적으로 연결되는 화소 전극 및 보조 데이터 패드를 더 형성할 수 있다.

데이터 배선 및 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 함께 형성할 수 있으며, 감광막 패턴은 제1 두께를 가지는 제1 부분, 제1 두께보다 두꺼운 제2 부분, 두께를 가지지 않으며 제1 및 제2 부분을 제외한 제3 부분을 포함하는 것이 바람직하다.

사진 식각 공정에서 감광막 패턴은 제1 영역, 상기 제1 영역보다 낮은 투과율을 가지는 제2 영역 및 상기 제1 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 팔마스크를 이용하여 형성할 수 있으며, 사진 식각 공정에서 제1 부분은 소스 전극과 드레인 전극 사이, 제2 부분은 데이터 배선 상부에 위치하도록 형성하는 것이 바람직하다.

제1 내지 제3 영역의 투과율을 다르게 조절하기 위하여 팔마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성될 수 있으며, 제1 부분의 두께는 제2 부분의 두께에 대하여 1/2 이하로 형성하는 것이 바람직하다.

반도체층과 데이터 배선 사이에 저항성 접촉층을 형성하는 단계를 더 포함할 수 있으며, 데이터 배선과 접촉층 및 반도체층을 하나의 마스크를 사용하여 형성할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 배선의 접촉 구조 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

반도체 장치, 특히 신호를 전달하는 배선으로는 신호의 지연을 최소화하기 위하여 15 μ m~cm 미하의 낮은 비저항을 가지는 알루미늄 계열의 금속 를질이 적합하다. 이때, 배선은 외부로부터 신호를 받거나, 외부로 신호를 전달하기 위해 다른 도전층과 연결되어야 하는데, 제조 과정에서 다른 를질과 접촉할 때 쉽게 부식되지 않아야 한다. 이를 위하여 본 발명의 실시예에 따른 배선의 접촉 구조 제조 방법에서는, 우선 기판 상부에 저저항을 가지는 알루미늄 또는 알루미늄 합금으로 이루어진 알루미늄 계열의 금속층으로 이루어진 배선을 형성하고, 배선을 묘는 절연막을 적층한다. 이어, 절연막을 패터닝하여 배선을 상부에 접촉 구멍을 형성하고, 접촉 구멍을 통하여 배선과 전기적으로 연결되는 도전층을 IZO(indium tin oxide)로 형성한다. 이러한 IZO와 알루미늄 계열의 접촉 구조에서는 부식이 발생하지 않는다. 이때, 접촉 구조에서의 접촉 저항은 배선의 저항에 대하여 10% 이하이고, 0.15 $\Omega \cdot \text{cm}^2$ 미하인 것이 바람직하며, 접촉 구멍의 면적은 2mm \times 60 μ m를 넘지 않으며, 0.5mm \times 15 μ m 이상으로 형성하는 것이 바람직하다.

또한, 절연막은 질화 규소를 사용할 수 있으며, 280~400°C 정도의 온도 범위에서 5~40분 정도의 시간 동안 적층하는 것이 바람직하고, IZO를 형성하기 위해서는 In₂O₃와 ZnO를 포함하여 적어도 2%의 할유량이 15~20 at% (atomic percentage) 범위인 표적을 사용하는 스퍼터링(sputtering) 공정으로 박막을 형성하는 것이 바람직하다. 여기서, at%는 [Zn/(Zn+In)] \times 100을 의미하며, 산소 성분은 포함될 수도 있으며, 그렇지 않을 수도 있다.

여기서 배선의 접촉 구조는 박막 트랜지스터 어레이(array) 기판에 형성되어 있는 배선의 접촉 구조로 사용될 수 있다.

그러면, 이러한 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판 및 제조 방법에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속 를질로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로 부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 뒤고 있다.

게이트 전극(26)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n⁺ 수소화 비정질 규소 따위의 를질로 만들어진 저항 접촉층(54, 56)이 각각 형성되어 있다.

저항 접촉층(54, 56) 및 게이트 절연막(30) 위에는 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속으로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다.

데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

여기서, 데이터 배선(62, 65, 66, 68)을 이용한 이상으로 형성하는 경우에는 한 층은 저항이 작은 알루미늄 계열의 도전 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/AI(또는 AI 합금) 또는 AI/Mo 등을 들 수 있다.

데이터 배선(62, 65, 66, 68) 및 미들이 가리지 않는 반도체층(40) 상부에는 질화 규소로 이루어진 보호막(70)이 형성되어 있다.

보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 면적은 $2\text{mm} \times 60\text{nm}$ 를 넘지 않으며, $0.5\text{mm} \times 15\text{nm}$ 이상인 것이 바람직하다.

보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 IZO(indium zinc oxide)로 이루어져 있다.

이러한 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이(array) 기판은 알루미늄 계열의 금속으로 이루어진 게이트 패드(24)와 IZO로 이루어진 보조 게이트 패드(86)의 접촉 구조를 가진다. 이때, 접촉 구조의 접촉 저항은 게이트 배선(22, 24, 26)의 배선 저항에 대하여 10% 미하가 되도록 형성하며, $0.15\Omega \cdot \text{cm}^2$ 미하인 것이 바람직하다. 14.1인치의 액정 패널을 제작함에 있어서 패드부의 접촉 저항은 $0.05\sim0.1\Omega \cdot \text{cm}^2$ 범위에서 설계한다.

여기서, 화소 전극(82)은 도1 및 도2에서 보는 바와 같이, 게이트선(22)과 증점되어 유지 측전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다. 또한, IZO 패턴(82, 86, 88)을 보호막(70)보다 먼저 형성할 수도 있으며, 데이터 배선(62, 65, 66, 68)보다 먼저 형성할 수도 있다.

이러한 본 발명의 실시예에 따른 구조에서는 게이트 배선(22, 24, 26)을 저저항을 가지는 알루미늄 계열로 이루어져 있어 대화면 고정 세의 액정 표시 장치에 적용할 수 있고, 동시에 패드부에서의 접촉 저항을 최소화할 수 있고 알루미늄 계열의 금속이 부식되는 것을 방지하여 패드부를 포함하는 접촉부의 신뢰성을 확보할 수 있다.

그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도1 및 도2와 도3a 내지 도7b를 참고로 하여 상세히 설명한다.

먼저, 도3a 및 3b에 도시한 바와 같이, 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속으로 이루어진 단일막을 $2,500\text{ \AA}$ 정도의 두께로 적층하고 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.

다음, 도4a 및 도4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 살충막을 연속하여 접층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과, 마주하는 게이트 절연막(30) 상부에 삼 모양의 반도체층(40)과 저항 접촉층(56)을 형성한다. 여기서, 게이트 절연막(30)은 300 \AA 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하다. 여기서, 게이트 절연막(30)을 적층할 때, 공정 중에 게이트 배선(22, 24, 26)의 상부에 잔류하여 고저항을 가지는 산화 알루미늄막의 일부 또는 전부가 제거될 수 있으며, 알루미늄 계열의 금속막에서 석출된 저저항의 반응층이 형성될 수도 있다. 또한, 게이트 절연막(30)을 증착하기 전에 알루미늄 계열의 금속막(22, 24, 26) 상부에 Al₂O₃가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라스마로 세정 공정을 인시튜(in-situ)로 실시하는 것이 좋다.

다음, 도5a 내지 도5b에 도시한 바와 같이, 크롬, 틀리브네, 틀리브네 합금, 티타늄, 담탈륨 등으로 이루어진 금속막을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층(50)을 석각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

다음으로, 도6a 및 6b에서 보는 바와 같이, 질화 규소와 같은 무기 절연막을 적층하여 보호막(70)을 형성한다. 이때에도, 게이트 절연막(30) 형성 시와 유사하게 보호막(70)은 300 \AA 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하며, 이때 알루미늄 계열의 금속막(22, 24, 26)의 표면에는 저저항의 반응층이 형성될 수 있으며, 제조 공정 시 형성된 고저항을 금속 산화막이 일부 또는 전부가 제거될 수 있다. 블록, 데이터 배선(62, 65, 66, 68)이 알루미늄 계열의 금속을 포함하는 경우에도 동일한 결과가 얻어질 수 있다. 이어, 마스크를 이용한 사진 석각 공정으로 게이트 절연막(30)과 함께 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)을 통하여 드러난 금속막의 표면은 접촉 구멍(74, 76, 78)은 각을 가지는 모양

또는 원형의 모양으로 형성할 수 있으며, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 $2\text{mm} \times 60\text{mm}$ 를 넘지 않으며, $0.5\text{mm} \times 15\text{mm}$ 이상인 것이 바람직하다.

다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다. IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 접촉 구멍(74, 76, 78)을 드러난 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위해 질소를 이용하는 것이 바람직하다. 본 발명의 실시예에서, 접촉부의 접촉 저항을 최소화하기 위해 IZO를 상온에서 200°C 미하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사용되는 표적(target)은 In_2O_3 및 ZnO 를 포함하는 것이 바람직하며, Zn 의 함유량은 15-20 at% 범위인 표적을 이용하는 것이 바람직하다. 여기서도, IZO를 증착하기 전에 알루미늄 계열의 금속막(24) 상부에 AlO_x 가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라스마로 세정 공정을 인 시투(in-situ)로 실시하는 것이 좋다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 IZO막을 적층하기 전에 IZO와 알루미늄 계열의 금속 사이의 접촉 틀성을 향상시키기 위하여 절연막(30, 70)을 적층시에 머닐링 공정이 포함되도록 함으로써 패드부를 포함한 접촉부의 접촉 저항을 최소화하여 접촉부의 신뢰성을 확보할 수 있다.

이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 7 내지 도 9를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 8 및 도 9는 각각 도 7에 도시한 박막 트랜지스터 기판을 VIII-VIII 선 및 IX-IX 선을 따라 절라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 알루미늄 계열의 금속으로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극(28)을 포함한다. 유지 전극(28)은 투슬할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 증첩되어 화소의 전하 보조 능력을 향상시키는 유지 축전기용 미루어진 투슬할 화소 전극(82)과 게이트선(22)의 증첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28) 위에는 절화 규소(SiN_x) 따위로 미루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 뒤고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 미루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 증간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 크롬 또는 폴리브덴 또는 폴리브덴 합금 또는 탄탈를 또는 티타늄 등의 금속으로 미루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되며 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 미루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 내하며 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)은 크롬 또는 폴리브덴 또는 폴리브덴 합금 또는 탄탈 또는 티타늄으로 미루어진 도전막과 알루미늄 계열의 금속으로 미루어진 도전막을 포함하는 미종막으로 형성될 수도 있다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 증간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 증간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 증간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 증간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 미곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 절화 규소로 미루어진 보호막(70)이 형성되어 있다.

보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉 구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 120 (indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 미웃하는 게이트선(22) 및 데미터선(62)과 증폭되어 개구률을 높이고 있으나, 증폭되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 촉진기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데미터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조 데미터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 미들의 적용 여부는 선택적이다.

그러면, 도 7 내지 도 9의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 8 내지 도 10과 도 10a 내지 도 17c를 참조하여 설명하기로 한다.

먼저, 도 10a 내지 10c에 도시한 바와 같이, 제1 실시예와 동일하게 알루미늄 계열의 금속을 단일막으로 적용하고 마스크를 이용한 사진 석각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

다음, 도 11a 및 11b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간 층(50)을 화학 기상 증착법을 이용하여 각각 $1,500 \text{ \AA}$ 내지 $5,000 \text{ \AA}$, 500 \AA 내지 $2,000 \text{ \AA}$, 300 \AA 내지 600 \AA 의 두께로 연속 증착하고, 이어 크롬으로 이루어진 금속막을 포함하는 도전체층(60)을 스팍터링 등의 방법으로 $1,500 \text{ \AA}$ 내지 $3,000 \text{ \AA}$ 의 두께로 증착한 다음 그 위에 감광막(110)을 1 \mu m 내지 2 \mu m 의 두께로 도포한다. 이때에도 게이트 절연막(30)은 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하다. 이때, 게이트 절연막(30)을 적층할 때, 제조 공정 중에 게이트 배선(22, 24, 26)의 상부에 잔류하며, 고저항을 가지는 산화 알루미늄막의 일부 또는 전부가 제거될 수 있으며, 알루미늄 계열의 금속막에서 저저항의 반응층이 형성될 수도 있다. 또한, 게이트 절연막(30)을 증착하기 전에 알루미늄 계열의 금속막(22, 24, 26) 상부에 AlO_x 가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라스마로 세정 공정을 인 시튜(*in-situ*)로 실시하는 것이 좋다.

그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 12b 및 12c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데미터 배선부(A), 즉 데미터 배선(62, 64, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거된다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데미터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 석각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 $1/2$ 미하로 하는 것이 바람직하며, 예를 들면, $4,000 \text{ \AA}$ 미하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(*slit*)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폼이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 많은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 많은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 특성적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 끌어내리도록 함으로써 형성할 수도 있다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 석각을 진행한다. 이때, 데미터 배선부(A)에는 데미터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 13a 및 13b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 석각 또는 슬식 석각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 석각되고 감광막 패턴(112, 114)은 거의 석각되지 않는 조건 하에서 행하는 것이 좋다. 그러나, 건식 석각의 경우 도전체층(60)만을 석각하고 감광막 패턴(112, 114)은 석각되지 않는 조건을 찾기가 어렵우므로 감광막 패턴(112, 114)도 함께 석각되는 조건 하에서 행할 수 있다. 이 경우에는 슬식 석각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 석각이나 슬식 석각 중 어느 것이라도 가능하다. 그러나 다른 건식 석각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr 이라면 슬식 석각만을 이용하는 것이 좋다. 도전체층(60)이 Cr 인 슬식 석각의 경우에는 석각액으로 $\text{Ce}(\text{NH}_4)_2$ 를 사용할 수 있고, 도전체층(60)이 Mo 나 MoW 인 건식 석각의 경우의 석각 기체로는 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 석각비도 거의 비슷하다.

이렇게 하면, 도 13a 및 도 13b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 14a 및 14b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들면, SF₆과 HCl의 혼합 기체나 SF₆과 O₂의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 14a 및 14b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얕아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기 를 제거한다.

다음, 도 15a 및 15b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 중점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF₆과 O₂의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 틀 수 있다. 습식 식각과 건식 식각을 번갈아 하는 흐자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF₄와 HCl의 혼합 기체나 CF₄와 O₂의 혼합 기체를 틀 수 있으며, CF₄와 O₂를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 줄어들 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직한은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 흐자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 일맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 흐자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 16a 및 16b에 도시한 바와 같이 질화 규소를 CVD 방법으로 증착하여 보호막(70)을 형성한다. 이때에도, 게이트 절연막(30) 형성시와 마찬가지로 보호막(70)은 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하며, 이때 알루미늄 계열의 금속막(22, 24, 26)의 표면에는 저저항의 반응층이 형성될 수 있으며, 제조 공정시 형성된 고저항을 산화 금속막이 일부 또는 전부가 제거될 수 있다. 물론, 데이터 배선(62, 64, 68)이 알루미늄 계열의 금속을 포함하는 경우에도 동일한 결과가 얻어질 수 있다. 이어, 도 17a 내지 도 17c에 도시한 바와 같이, 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 2mm × 60μm를 넘지 않으며, 0.5mm × 15μm 이상인 것이 바람직하다.

마지막으로, 도 8 내지 도 10에 도시한 바와 같이, 400 A 내지 500 A 두께의 IZO층을 증착하고 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다. 이때, 화소 전극(82), 보조 게이트 패드(86) 및 보조 데이터 패드(88)의 IZO를 패터닝하기 위한 식각액은 크롬(Cr)의 금속막을 식각하는데 사용하는 크롬 식각액을 사용하는데, 이는 알루미늄 계열의 금속을 부식시키지 않아 접촉 구조에서 드러난 알루미늄 계열의 금속이 부식되는 것을 방지할 수 있으며, 식각액으로 (HNO₃/(NH₄)₂Cr₂O₇)_n/H₂O 등을 틀 수 있다. 여기서도, IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 접촉 구멍(72, 74, 76, 78)을 드러난 금속막(24, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위해 질소를 이용하는 것이 바람직하다. 또한, 접촉부의 접촉 저항을 최소화하기 위해서는 IZO를 상온에서 200°C 미하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사

용되는 표적(target)은 In_2O_3 및 ZnO 를 포함하는 것이 바람직하며, ZnO 의 함유량은 15~20 at% 범위인 것이 바람직하다. 여기서도, ITO를 증착하기 전에 알루미늄 계열의 금속막(24) 상부에 AlO 가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라스마로 세정 공정을 인 *인-사이트*(in-situ)로 실시하는 것이 좋다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

발명의 효과

이와 같이, 본 발명에 따르면 접촉부에서의 접촉 저항을 최소화할 수 있고 패드부를 포함한 접촉부의 신뢰성을 확보할 수 있다. 또한, 저저항의 알루미늄 또는 알루미늄 합금으로 배선을 형성함으로써 대회면 고정세의 제품의 특성을 향상시킬 수 있다. 또한, 제조 공정을 단순화하여 액정 표시 장치용 박막 트랜지스터 기판을 제조함으로 제조 공정을 단순화하고 제조 비용을 줄일 수 있다.

(5) 청구의 범위

청구항 1

기판 상부에 알루미늄 계열의 금속으로 배선을 형성하는 단계,
상기 배선을 덮는 절연막을 적층하는 단계,
상기 절연막을 패터닝하여 상기 배선을 드러내는 접촉 구멍을 형성하는 단계 및
상기 배선과 전기적으로 연결되며 IZO로 이루어진 도전층을 형성하는 단계
를 포함하는 배선의 접촉 구조 형성 방법.

청구항 2

제1항에서,
상기 절연막은 질화 규소인 배선의 접촉 구조 형성 방법.

청구항 3

제1항에서,
상기 절연막은 280~400°C 온도 범위에서 적층하는 배선 접촉 구조 형성 방법.

청구항 4

제3항에서,
상기 절연막은 5~40분 시간 동안의 범위에서 적층하는 배선 접촉 구조 형성 방법.

청구항 5

제1항에서,
상기 접촉 구멍은 $0.5mm \times 15\mu m$ 내지 $2mm \times 60\mu m$ 범위에서 형성하는 배선 접촉 구조 형성 방법.

청구항 6

제1항에서,
상기 접촉 구멍에서 상기 알루미늄 계열의 금속과 상기 IZO의 접촉 저항은 상기 배선의 배선 저항의 10% 미하로 형성하는 배선 접촉 구조 형성 방법.

청구항 7

제6항에서,
상기 접촉 저항은 0.15Ω 미하로 형성하는 배선의 접촉 구조 형성 방법.

청구항 8

기판 상부에 알루미늄 계열의 금속으로 이루어진 배선,
상기 배선을 덮고 있으며, 상기 배선의 일부를 드러내는 접촉 구멍을 가지는 절연막,
상기 절연막에 상부에 형성되어 상기 접촉 구멍을 통하여 상기 배선과 연결되어 있으며, IZO로 이루어진
도전층
을 포함하는 배선의 접촉 구조.

청구항 9

제8항에서,

상기 접촉 구멍의 면적은 $0.5\text{mm} \times 15\mu\text{m}$ 내지 $2\text{mm} \times 60\mu\text{m}$ 범위인 배선의 접촉 구조.

첨구항 10

제 8항에서,

상기 절연막은 질화 규소로 이루어진 배선의 접촉 구조.

첨구항 11

제 8항에서,

상기 접촉 구멍에서 상기 IZO와 상기 알루미늄 계열의 금속과 접촉 저항은 상기 배선의 배선 저항에 대하여 10% 미하인 배선의 접촉 구조.

첨구항 12

제 11항에서,

상기 접촉 저항은 0.15Ω 미하인 배선의 접촉 구조.

첨구항 13

알루미늄 계열의 금속을 적층하고 패터닝하여 게이트 패드를 포함하는 게이트 배선을 형성하는 단계;

데이터 배선을 형성하는 단계;

반도체층을 형성하는 단계;

상기 게이트 배선을 닦는 절연막을 형성하는 단계;

상기 게이트 절연막을 패터닝하여 상기 게이트 패드를 드러내는 접촉 구멍을 형성하는 단계;

IZO를 적층하고 패터닝하여 상기 접촉 구멍을 통하여 상기 게이트 패드와 전기적으로 연결되는 도전층을 형성하는 단계;

을 포함하는 박막 트랜지스터 기판의 제조 방법.

첨구항 14

제 13항에서,

상기 게이트 절연막은 질화 규소로 형성하는 박막 트랜지스터 기판의 제조 방법.

첨구항 15

제 14항에서,

상기 게이트 절연막은 $280\text{~}400^\circ\text{C}$ 범위에서 형성하는 박막 트랜지스터 기판의 제조 방법.

첨구항 16

제 13항에서,

상기 IZO는 In_2O_3 및 ZnO 를 포함하는 표적을 이용하여 스퍼터링 방법으로 형성하는 박막 트랜지스터 기판의 제조 방법.

첨구항 17

제 16항에서,

상기 ZnO 함유량은 15-20 at% 범위인 박막 트랜지스터 기판의 제조 방법.

첨구항 18

제 13항에서,

상기 도전층을 형성하는 단계에서 상기 데이터 배선과 연결되는 화소 전극을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

첨구항 19

절연 기판 위에 알루미늄 계열의 금속으로 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및 상기 게이트선과 연결되어 있는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계;

게이트 절연막을 적층하는 단계;

반도체층을 형성하는 단계;

도전 끝장을 적층하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

보호막을 적층하는 단계;

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드를 드러내는 접촉 구멍을 형성하는 단계,
 ZnO를 적용하고 패터닝하여 상기 접촉 구멍을 통하여 상기 게이트 패드와 연결되는 보조 게이트 패드를 형성하는 단계
 를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 20

제 19항에서,

상기 보조 게이트를 형성하는 단계에서 상기 드레인 전극과 연결되는 화소 전극을 더 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 21

제 19항에서,

상기 데이터 배선은 상기 데이터선에 연결되어 있는 데이터 패드를 더 포함하며,
 상기 보조 게이트를 형성하는 단계에서 상기 데이터 패드와 연결되는 보조 데이터 패드를 더 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 22

제 19항에서,

상기 게이트 절연막 및 상기 보호막 적용 단계는 280~400°C 범위에서 실시하는 박막 트랜지스터 기판의 제조 방법.

청구항 23

제 19항에서,

상기 게이트 절연막 및 상기 보호막은 질화 규소로 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 24

제 19항에서,

상기 ZnO는 In_2O_3 및 ZnO를 포함하는 표적을 이용하여 스퍼터링 방법으로 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 25

제 24항에서,

상기 ZnO의 함유량은 15~20 at% 범위인 박막 트랜지스터 기판의 제조 방법.

청구항 26

제 19항에서,

상기 데이터 배선 및 상기 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 공정으로 함께 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 27

제 26항에서,

상기 감광막 패턴은 제1 두께를 가지는 제1 부분, 상기 제1 두께보다 두꺼운 제2 부분, 두께를 가지지 않으며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 28

제 27항에서,

상기 사진 공정에서 상기 감광막 패턴은 제1 영역, 상기 제1 영역보다 낮은 투과율을 가지는 제2 영역 및 상기 제1 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 29

제 28항에서,

상기 사진 공정에서 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 30

제 29항에서,

상기 제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 상기 광마스크에는 반투명막 또는 노광기의

분해능보다 작은 슬릿 패턴이 형성되어 있는 박막 트랜지스터 기판의 제조 방법,

청구항 31

제30항에서,

상기 제1 부분의 두께는 상기 제2 부분의 두께에 대하여 1/2 미하로 형성하는 박막 트랜지스터 기판의 제조 방법,

청구항 32

제31항에서,

상기 반도체층과 상기 데이터 배선 사이에 저항성 접촉층을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법,

청구항 33

제32항에서,

상기 데이터 배선과 상기 접촉층 및 상기 반도체층을 하나의 마스크를 사용하여 형성하는 박막 트랜지스터 기판의 제조 방법,

청구항 34

절연 기판 위에 알루미늄 계열의 금속으로 형성되어 있으며, 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 도전 률질로 형성되어 있으며, 데이터선, 상기 데이터선과 연결되어 있으며, 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선을 덮고 있는 보호막,

[Z0로 이루어져 있으며, 상기 게이트 절연막 또는 상기 보호막에 형성되어 있는 접촉 구멍을 통하여 상기 게이트 패드와 연결되어 있는 보조 게이트 패드

를 포함하는 박막 트랜지스터 기판,

청구항 35

제34항에서,

상기 보조 게이트 패드와 동일한 층에 상기 [Z0로 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 더 포함하는 박막 트랜지스터 기판],

청구항 36

제34항에서,

상기 데이터 배선은 상기 데이터선에 연결되어 있는 데이터 패드를 더 포함하며,

상기 보조 게이트 패드와 동일한 층에 상기 [Z0로 형성되어 있으며, 상기 데이터 패드와 연결되어 있는 보조 데이터 패드를 더 포함하는 박막 트랜지스터 기판],

청구항 37

제34항에서,

상기 게이트 절연막 및 상기 보호막은 질화 규소로 이루어진 박막 트랜지스터 기판,

청구항 38

제34항에서,

상기 보조 게이트 패드는 상기 보호막 상부에 형성되어 있는 박막 트랜지스터 기판,

청구항 39

제34항에서,

상기 접촉 구멍에서 [Z0와 상기 알루미늄 계열의 접촉 저항은 상기 게이트 배선의 배선 저항의 10%미하인 박막 트랜지스터 기판],

청구항 40

제39항에서,

상기 접촉 저항은 0.15Ω 미하인 배선의 접촉 구조,

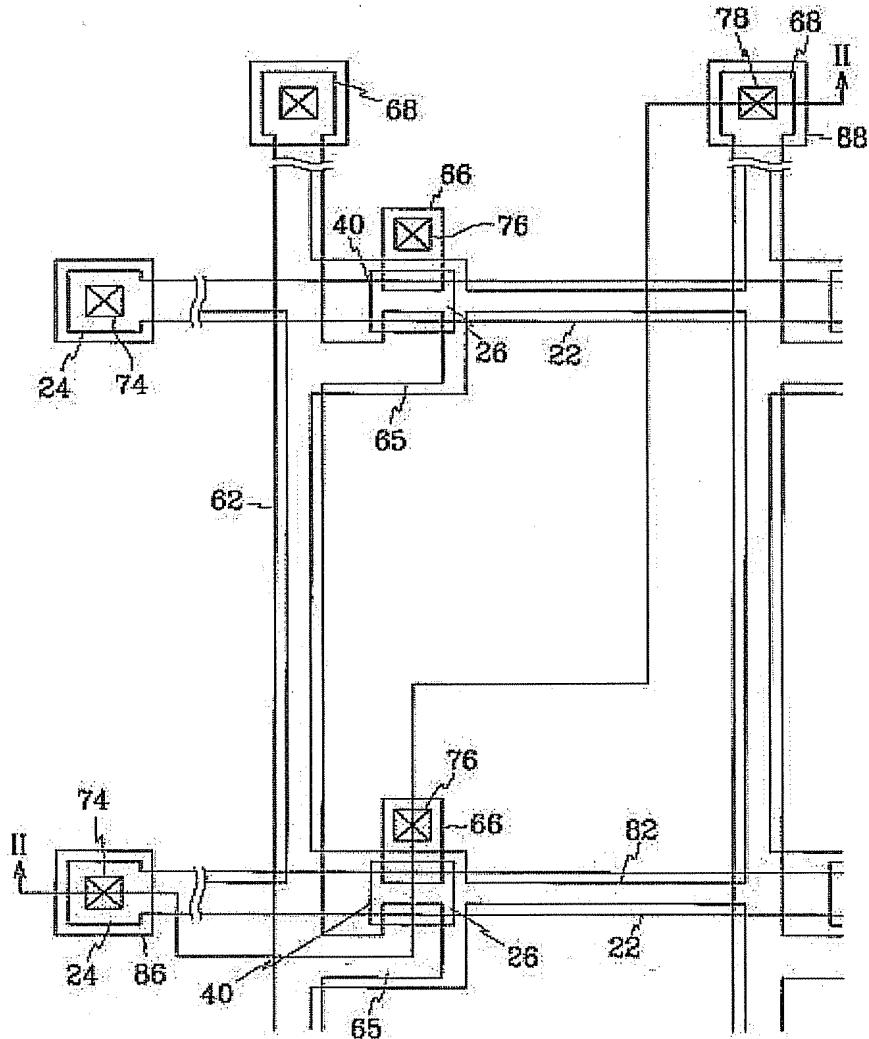
청구항 41

제34항에서,

상기 접촉 구멍의 면적은 $0.5\text{mm} \times 15\text{mm}$ 내지 $2\text{mm} \times 60\text{mm}$ 범위에서 형성되어 있는 백막 트랜지스터 기판.

도면

도면1



GP2

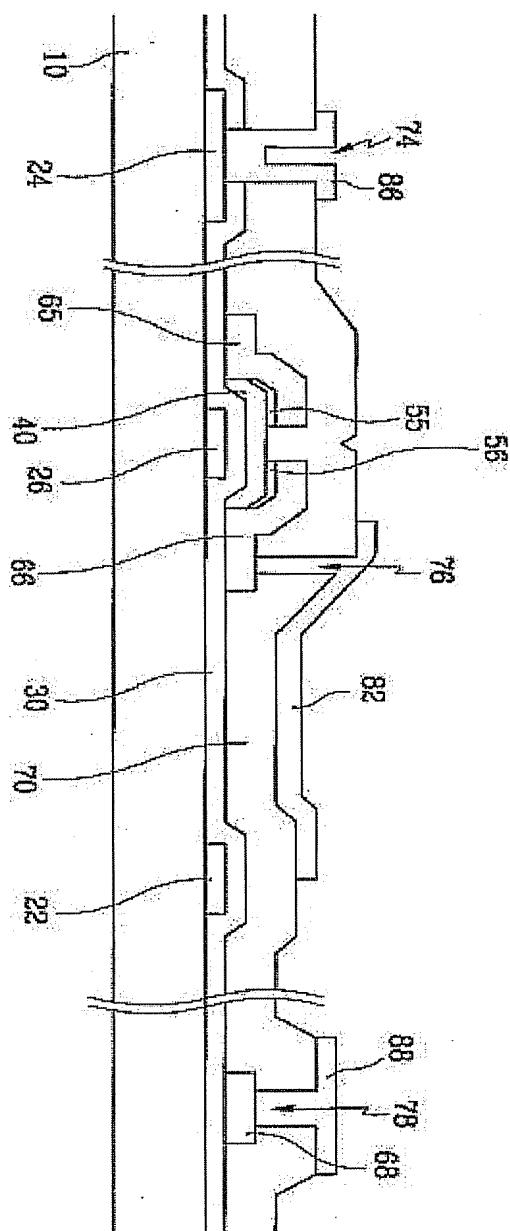
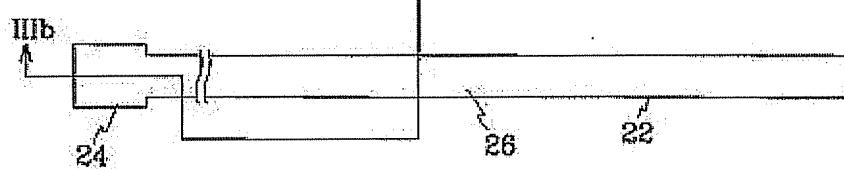
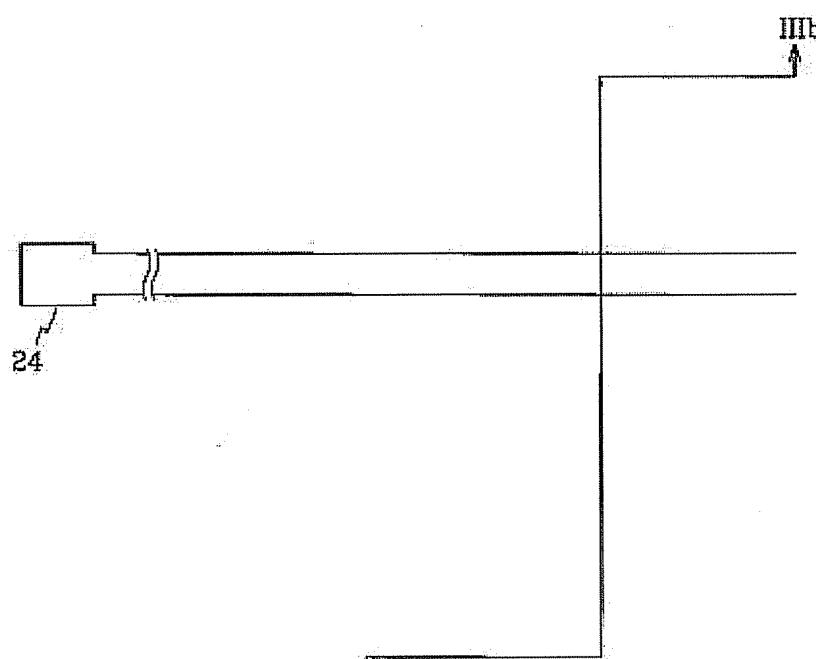
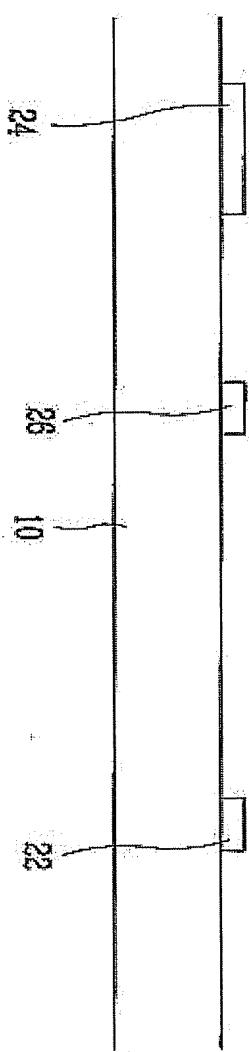


FIG3a

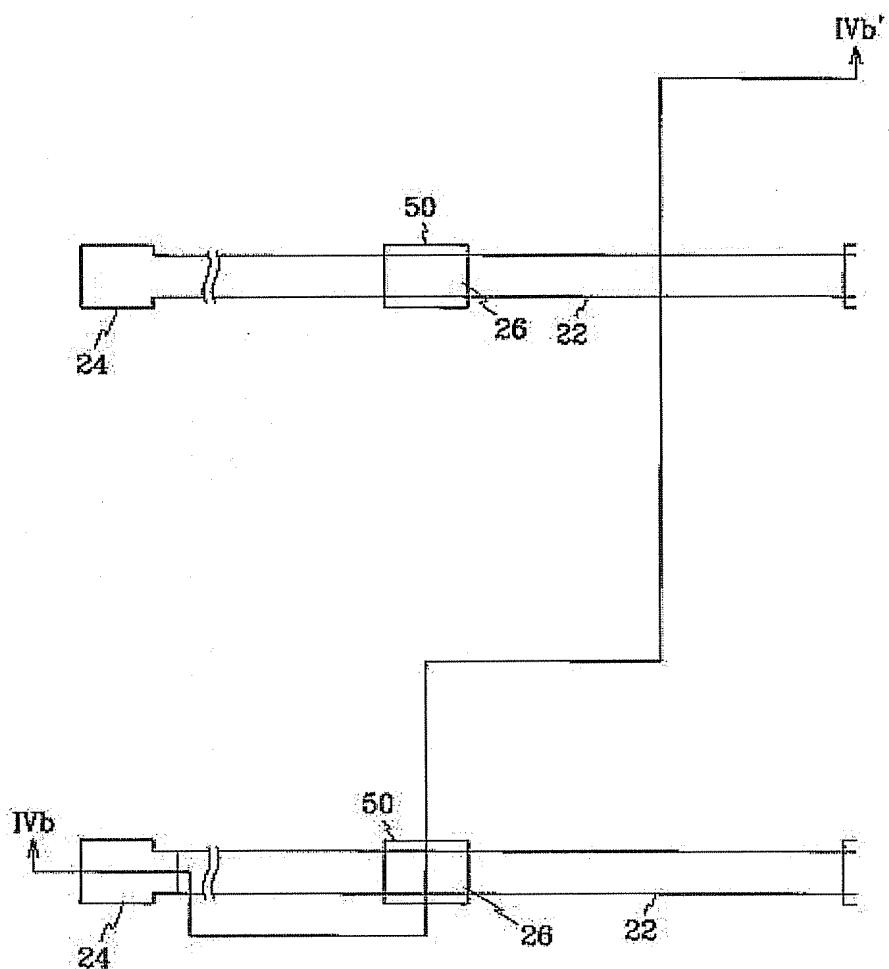


5B3b

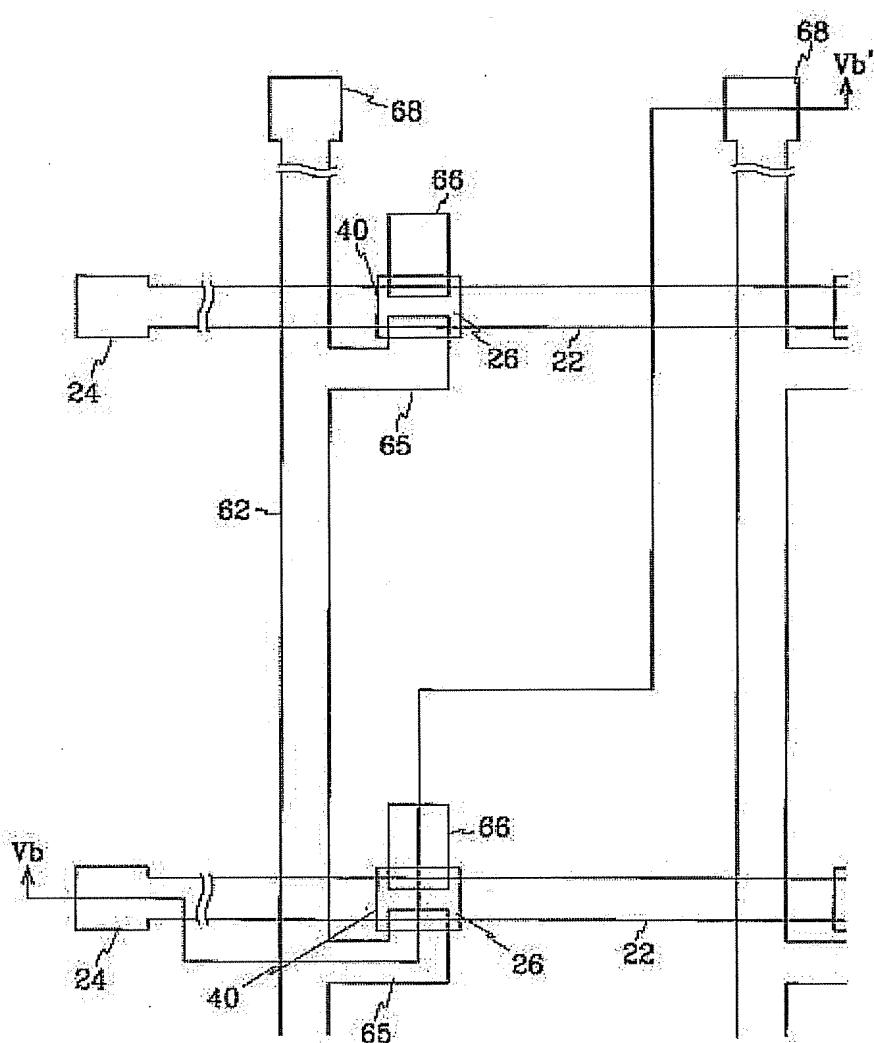


43-15

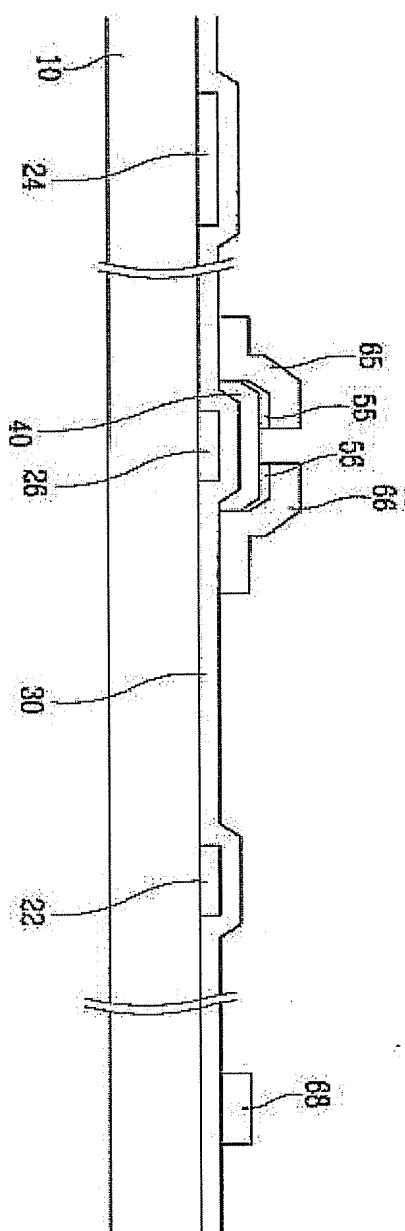
EP4a



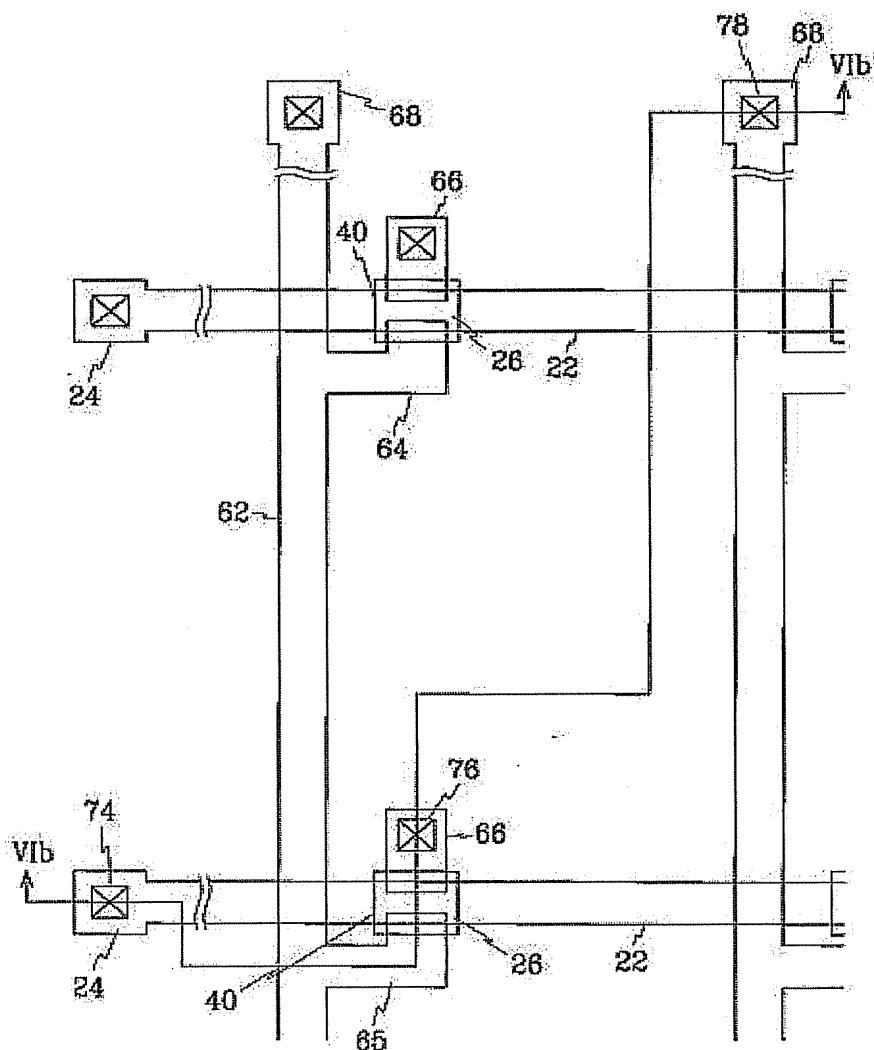
5015a



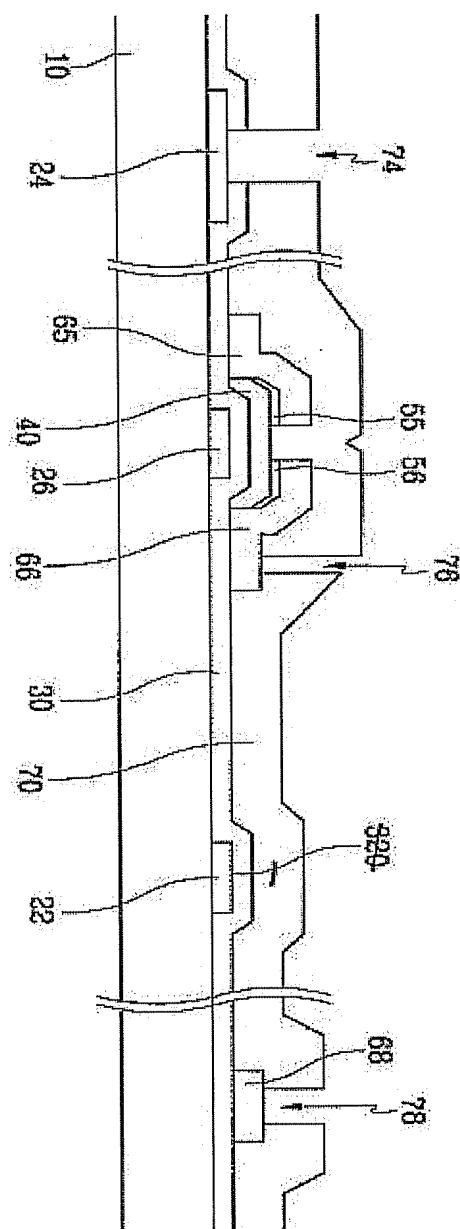
5050



5P06a



5P00



도면7

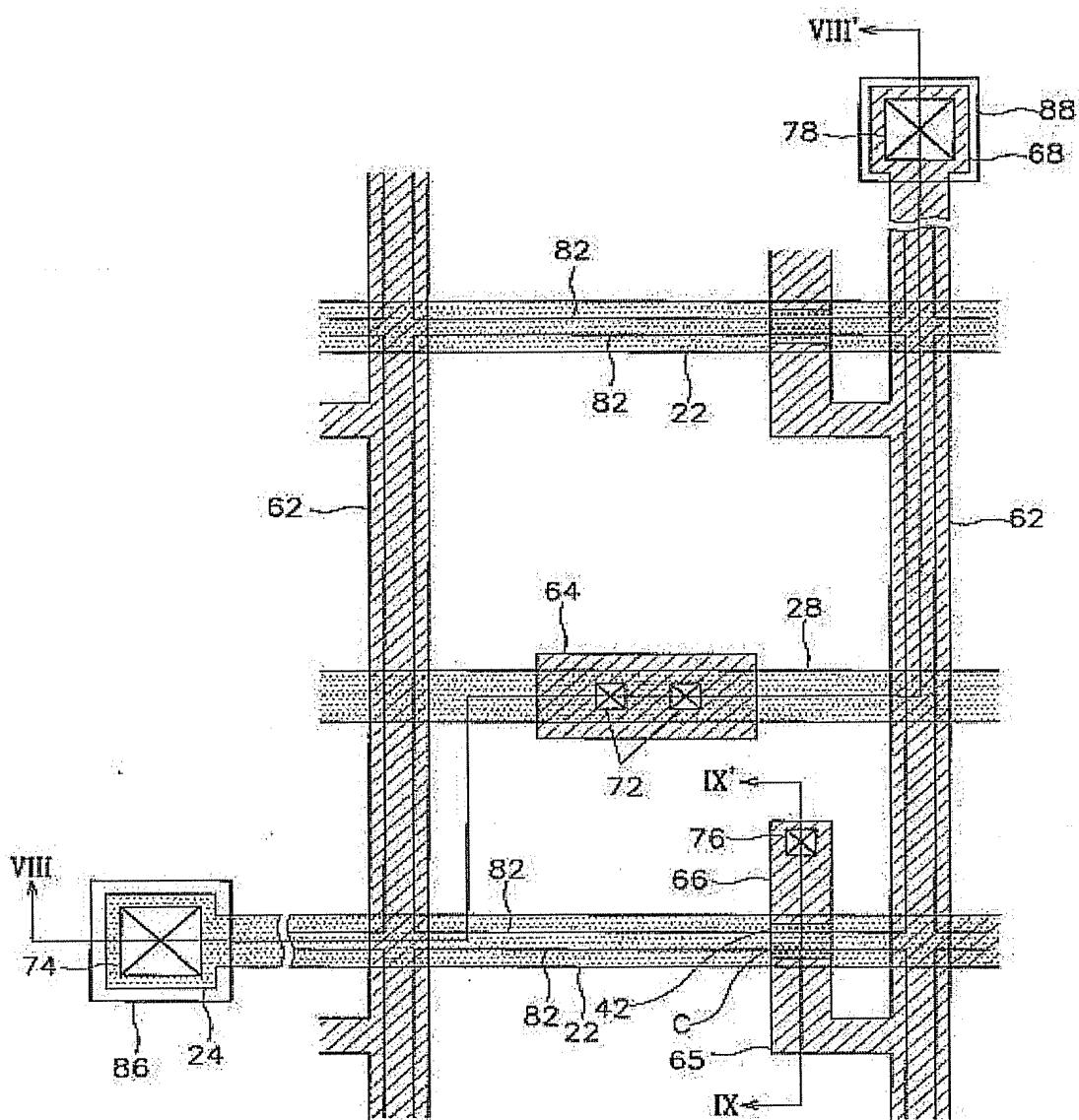
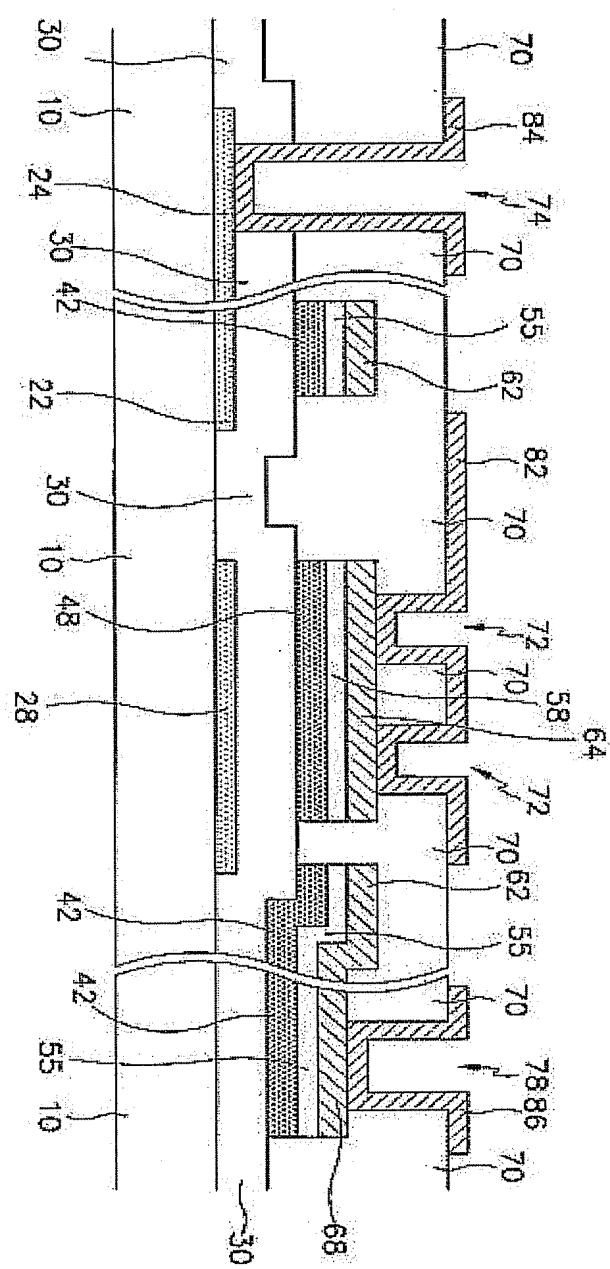
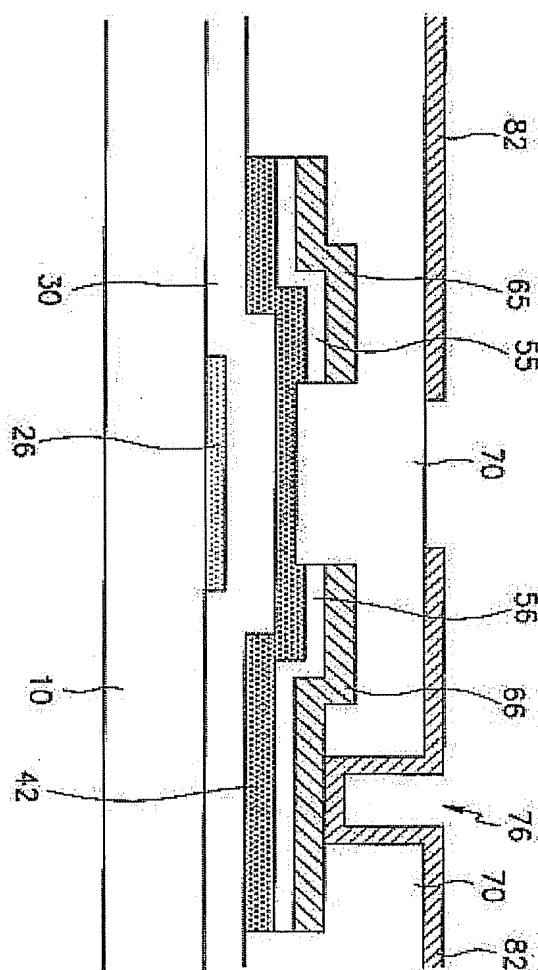


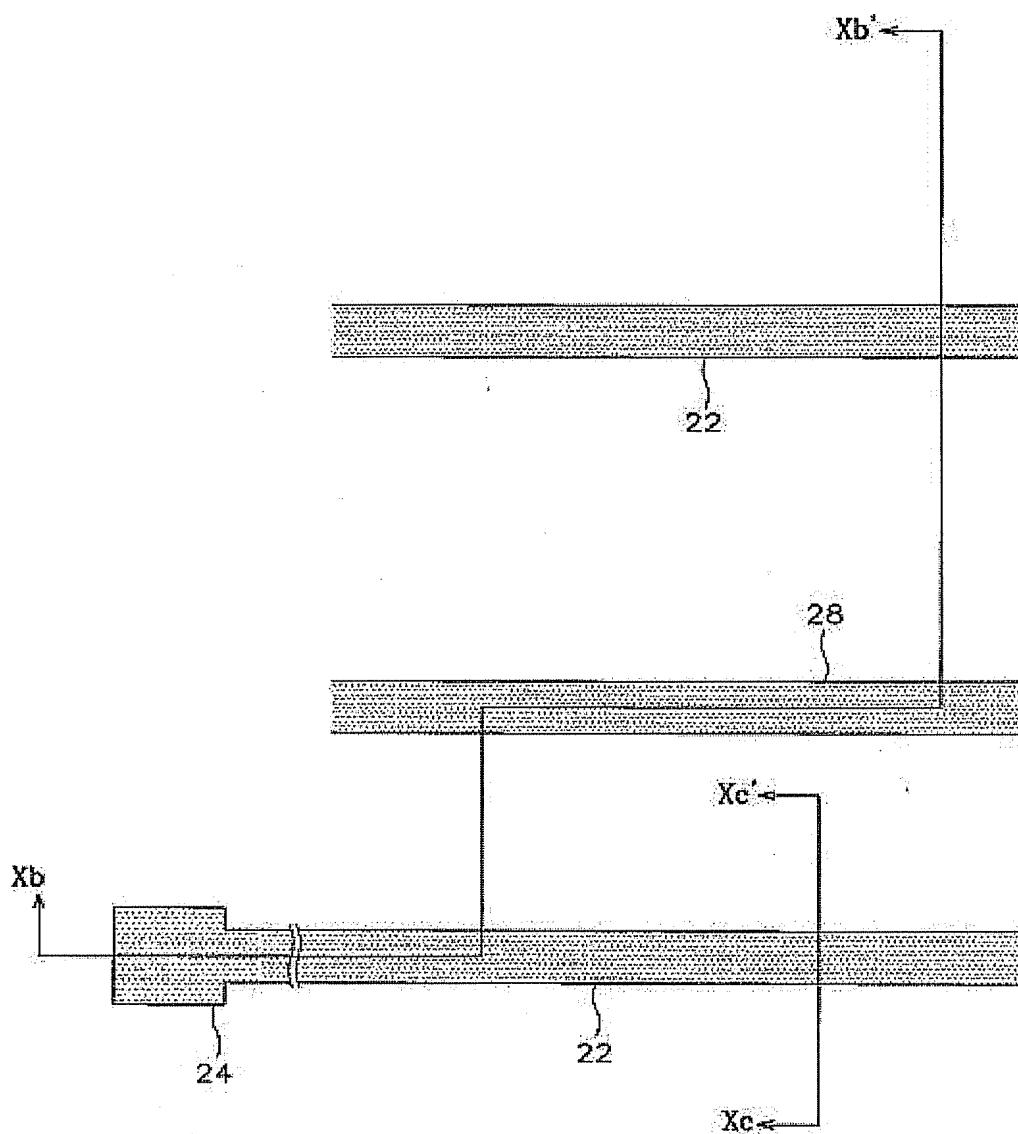
FIG 8



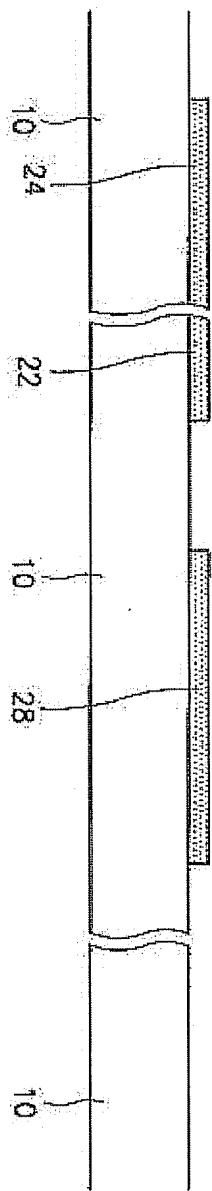
588



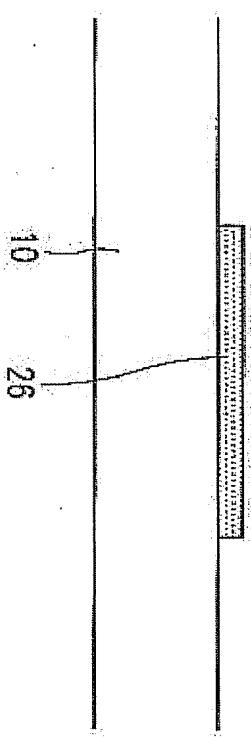
도면 10a



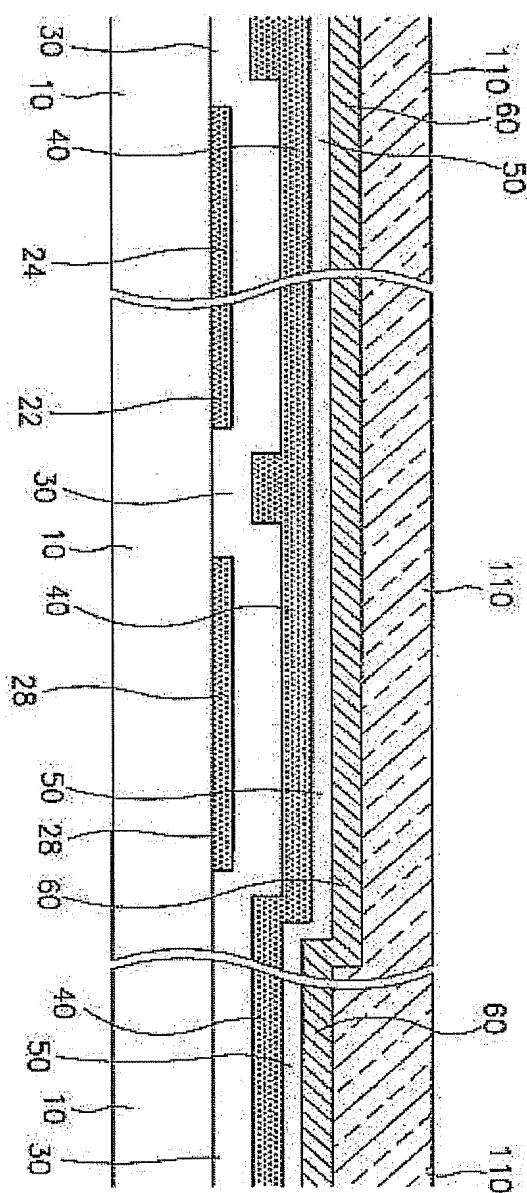
도면106



五四106



五图13a



도면1b

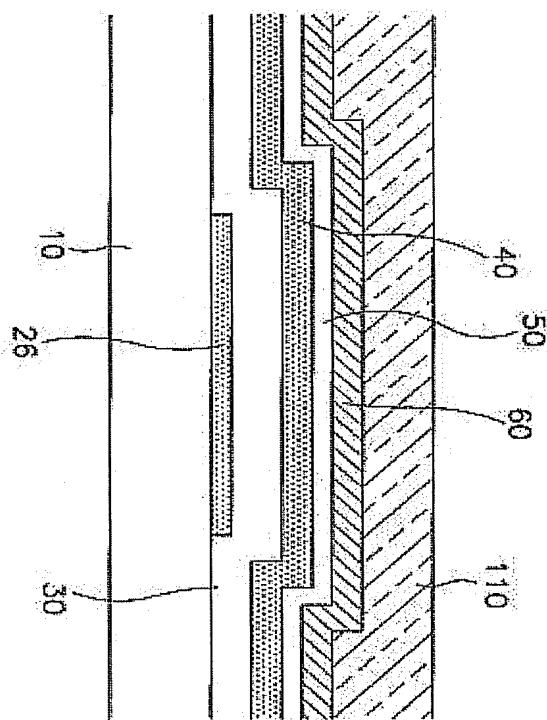
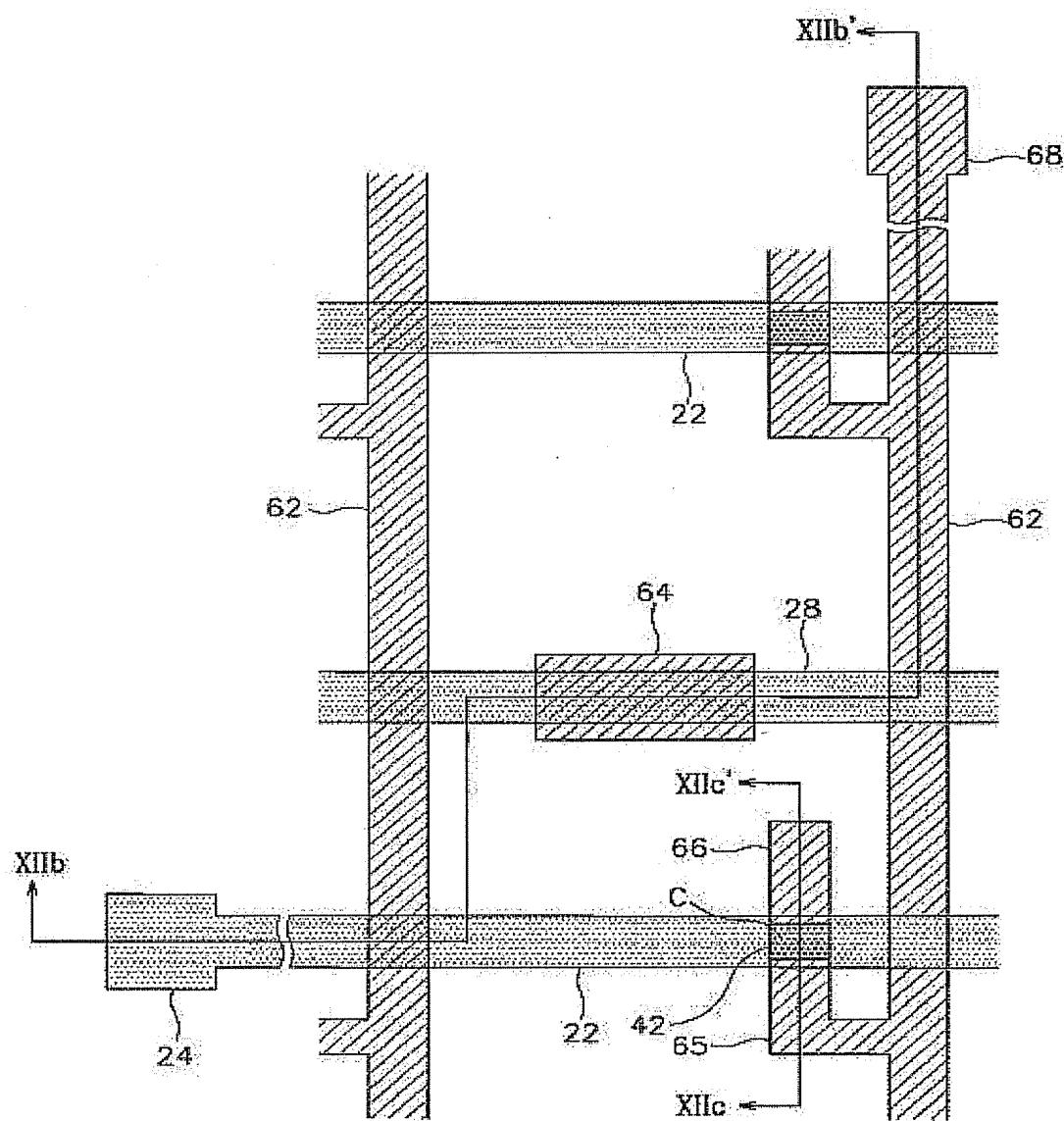
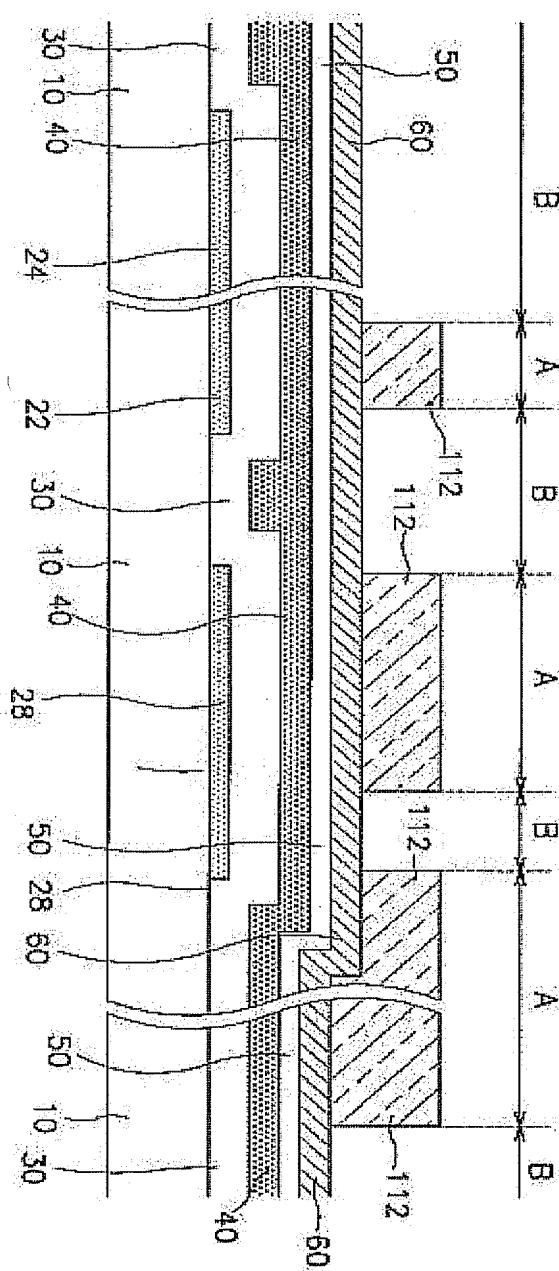


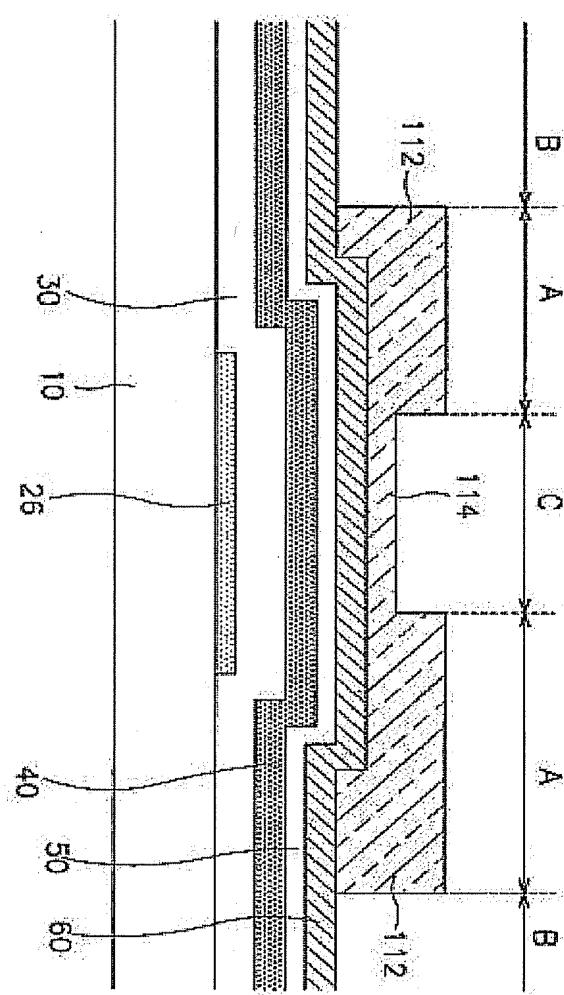
图12a



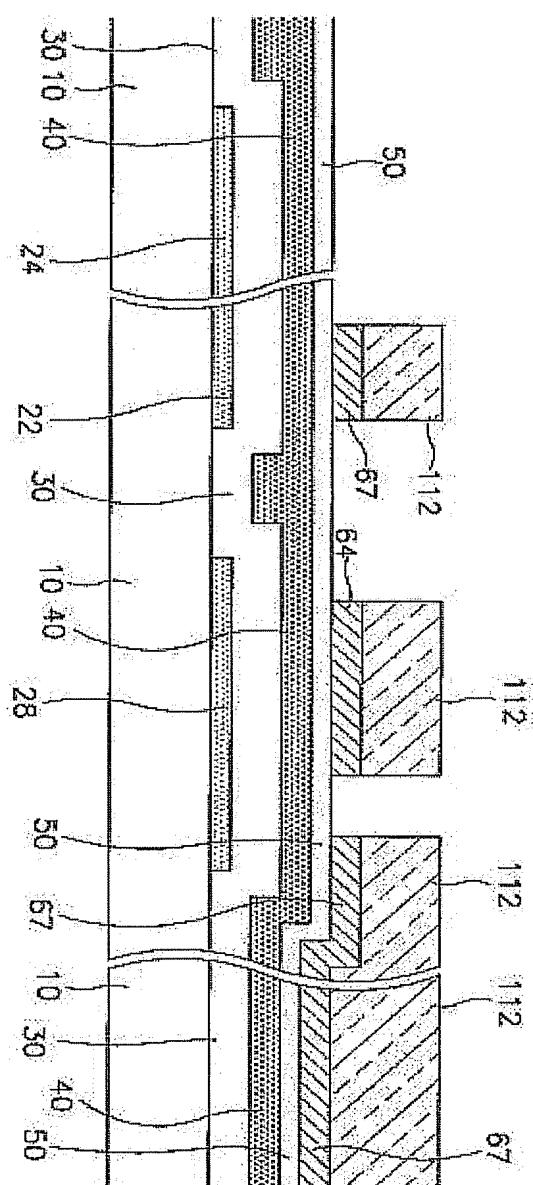
五图125



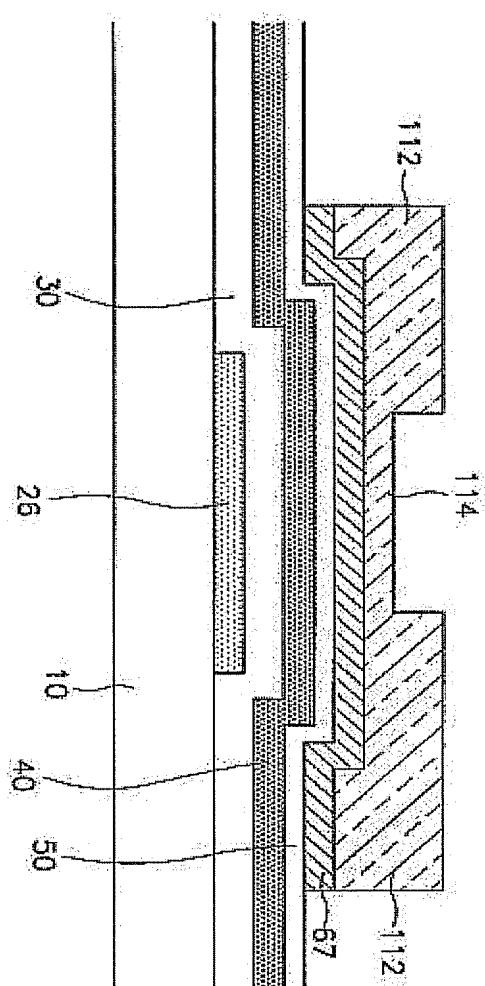
EP120



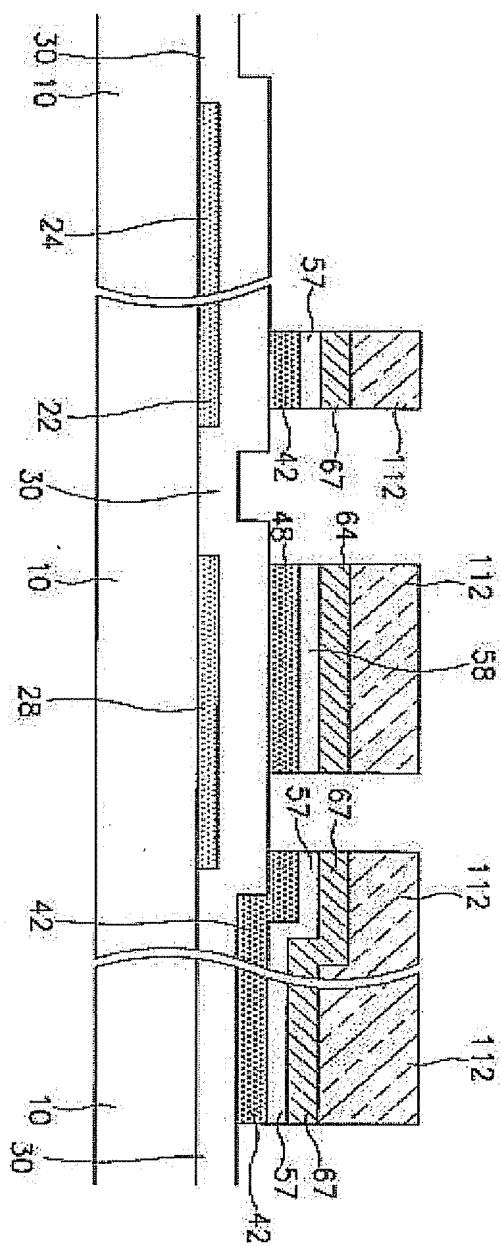
EP13a



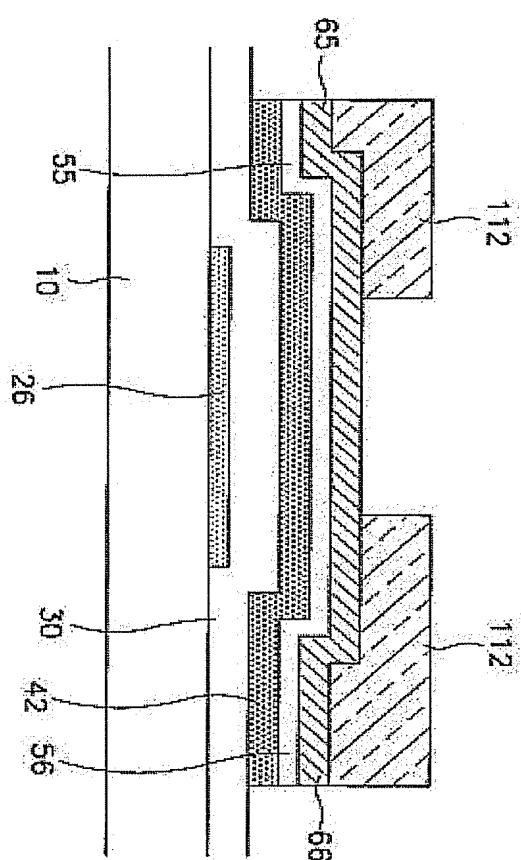
50136



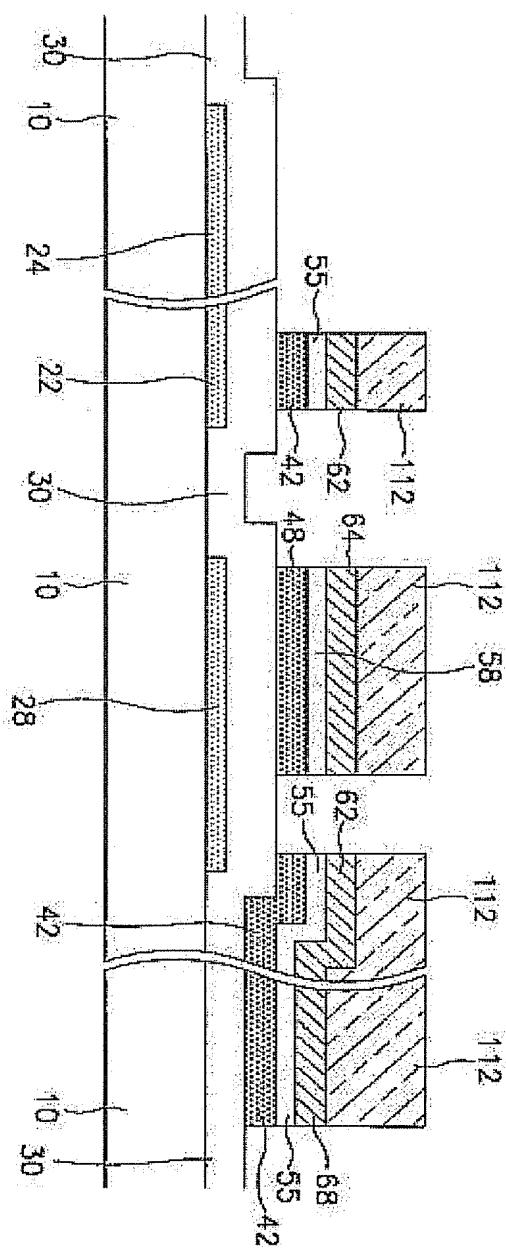
五图14a



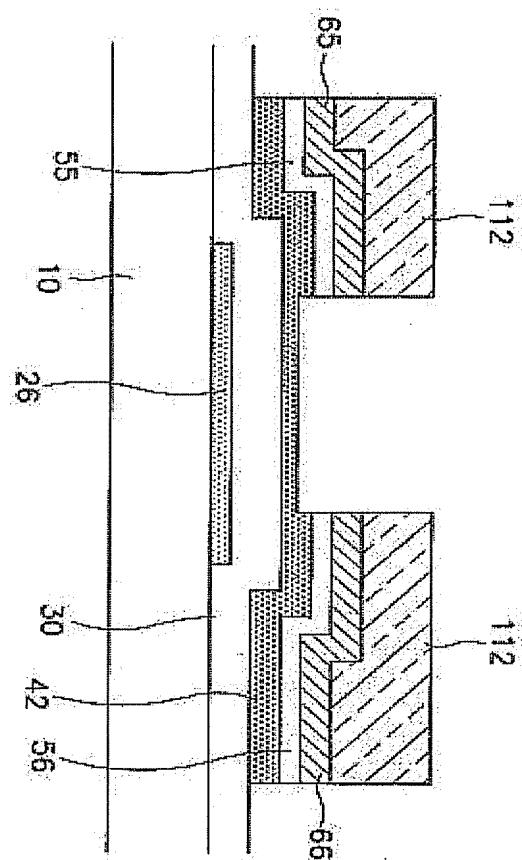
五四三六



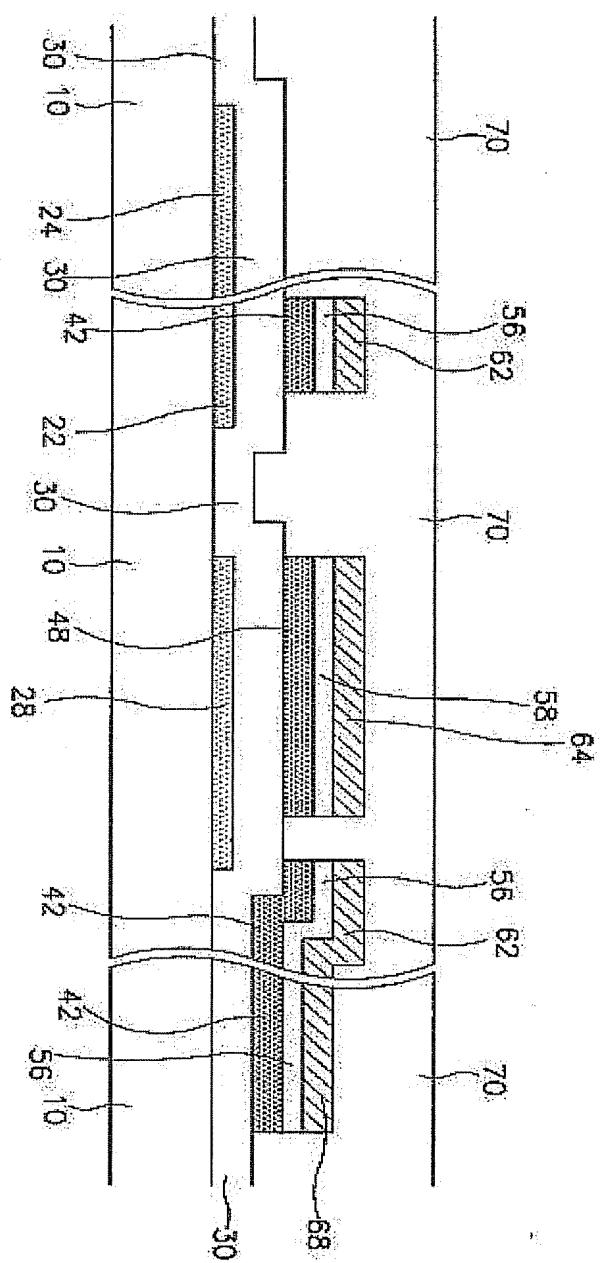
五图158



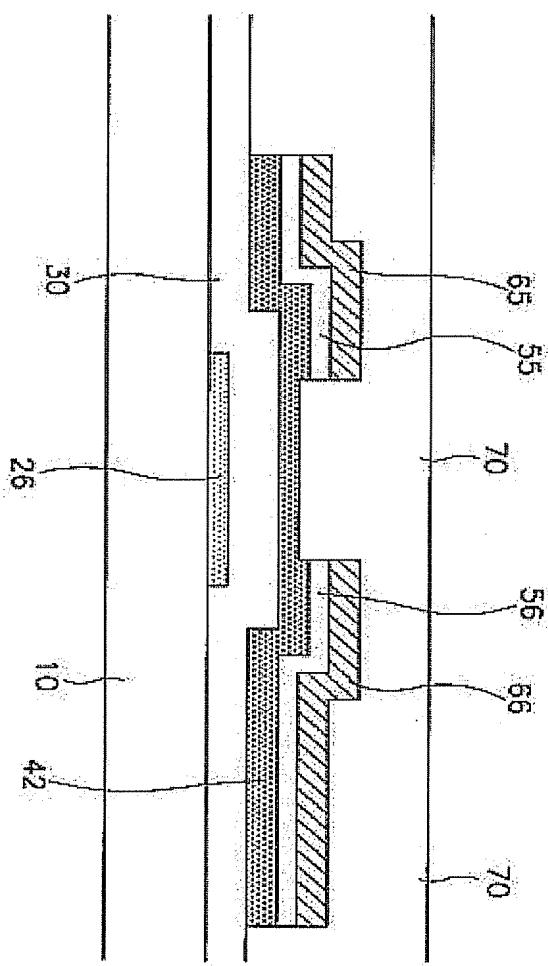
도면15b



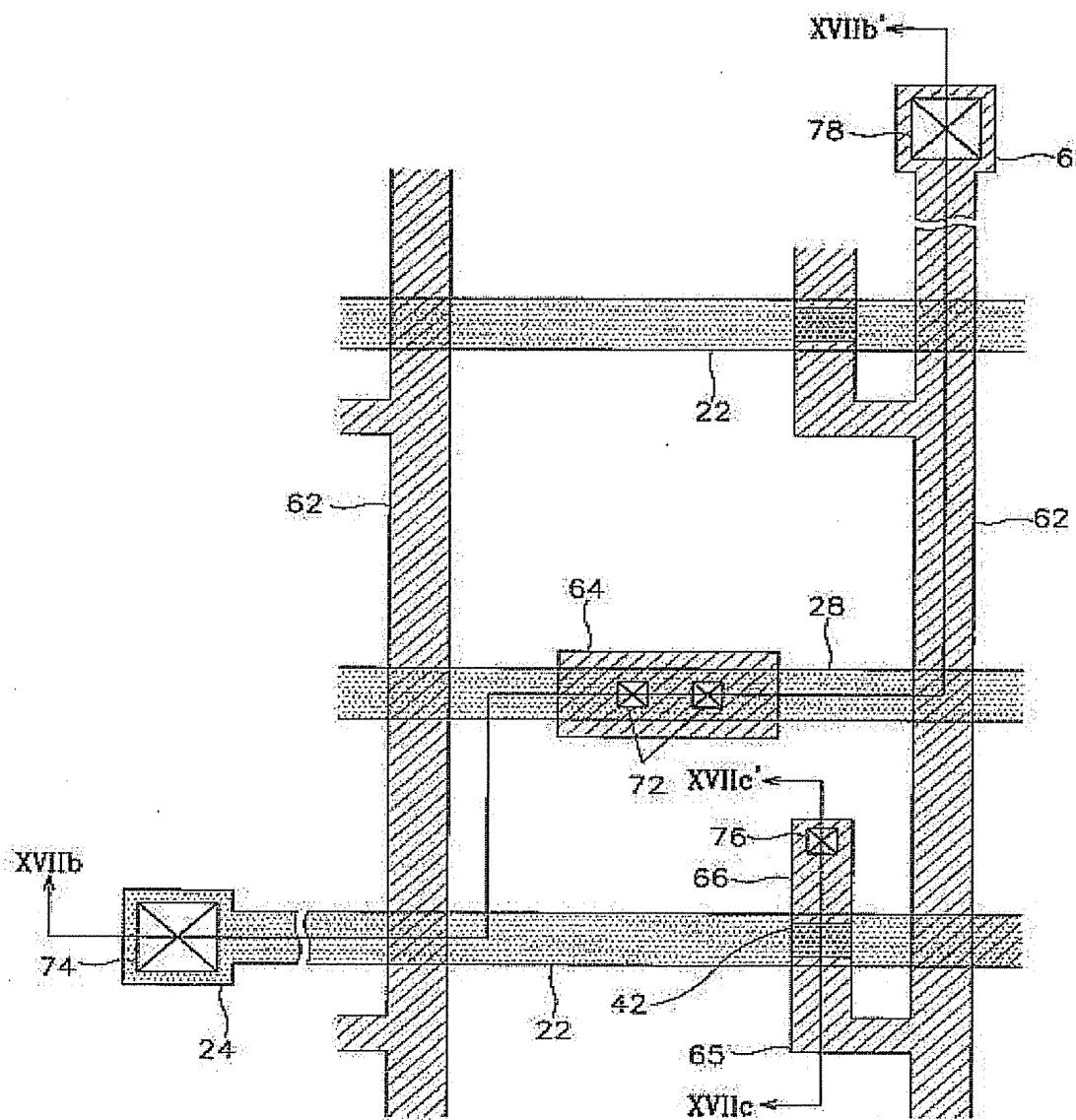
五四169



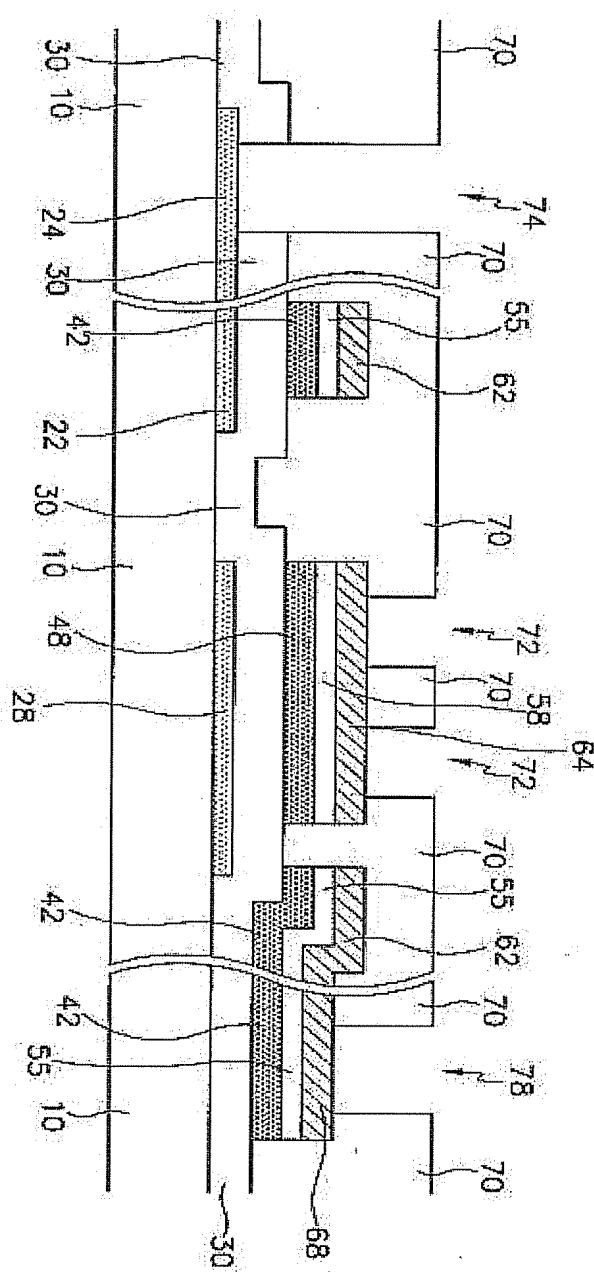
EB166



EP07a



58176



五图

